

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-258567

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

G11C 11/409

(21)Application number : 04-051106

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.03.1992

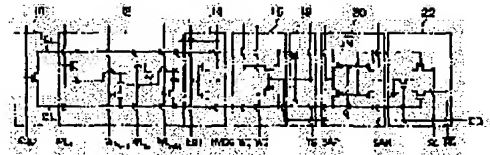
(72)Inventor : ITO HIDEKI

## (54) SEMICONDUCTOR STORAGE DEVICE

## (57)Abstract:

PURPOSE: To provide a semiconductor storage device which can operate at high speed, generates few noises and has high reliability by performing writing operation at approximately same time as reading operation, while reducing the peak value.

CONSTITUTION: A semiconductor storage device is applied to a DRAM. This device has such structure that an input buffer 16 is arranged more closely to a memory 12 than a transfer gate 18. Since the input buffer 16 and a sense amplifier 20 can be separated by the transfer gate 18, writing operation can be performed during reading operation is being performed. Therefore, since it is not required that reading operation is performed before writing operation, writing operation can be performed at high speed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-258567

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

G11C 11/409

識別記号

庁内整理番号

FI

技術表示箇所

6628-5L

G11C 11/34

354 A

審査請求 未請求 請求項の数3(全7頁)

(21)出願番号

特願平4-51106

(22)出願日

平成4年(1992)3月10日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 伊東 英樹

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

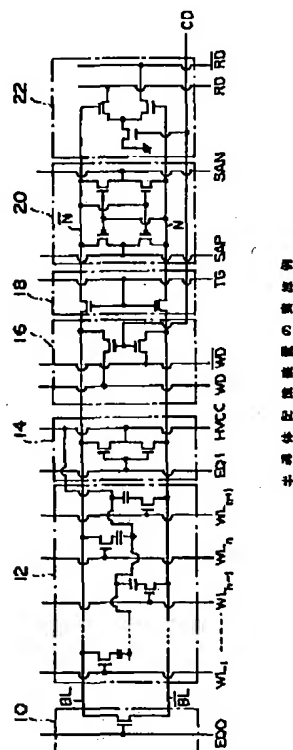
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 読み出し動作時にほぼ同時に書き込み動作を行うとともに、ピーク値 $J_{W0MAX}$ を減少させることで、高速動作が可能な、ノイズ発生の少ない信頼性の高い半導体記憶装置を提供すること。

【構成】 図1は本発明による半導体記憶装置をDRAMに適用したときの実施例を示す回路図である。本実施例では、入力バッファ16をトランスファゲート18よりもメモリセル12側に配置した構造となっている。入力バッファ16とセンスアンプ20とをトランスファゲート18により分離できるため、読み出し動作が行なわれている時点において、書き込み動作を行なえる。したがって、書き込み動作の前に読み出し動作を行う必要がなくなるため、書き込み動作速度を高速化できる。



## 【特許請求の範囲】

【請求項1】 ビット線対に接続されているメモリセルと、トランスファゲートを介して接続される入力バッファ、出力バッファを有し、このメモリセルに記憶されたデータを、これらバッファおよびセンスアンプにより入力バス、出力バスに駆動する半導体記憶装置において、前記入力バッファは前記トランスファゲートよりも前記メモリセル側に配置され、前記出力バッファと前記センスアンプは前記トランスファゲートを介して前記メモリセルと接続されるよう配置され、書き込み動作の過程で、前記メモリセルおよび入力バッファと前記出力バッファおよびセンスアンプとが前記トランスファゲートにより分離されることを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置において、この装置は、カラム選択時に前記出力バスに対して、前記センスアンプよりの出力を行ない、このセンスアンプとは前記トランスファゲートによって分離された前記ビット線対に対しては前記入力バスよりの入力と同時にこなうことを特徴とする半導体記憶装置。

【請求項3】 ビット線対に接続されているメモリセルとトランスファゲートを介して接続されるカラムデコード選択信号によって制御される入力バッファ、出力バッファを有し、このメモリセルに記憶されたデータを、これらバッファおよびセンスアンプにより入力バス、出力バスに駆動する半導体記憶装置において、前記入力バッファは前記トランスファゲートよりも前記メモリセル側に配置され、前記出力バッファと前記センスアンプは前記トランスファゲートを介して前記メモリセルと接続されるよう配置され、書き込み動作の過程で、前記メモリセルおよび入力バッファと前記出力バッファおよびセンスアンプとが前記トランスファゲートにより分離され、前記入力バスの待機時電位をビット線対のイコライズ電位とし、前記カラムデコード選択信号の待機時電位によって前記入力バッファを導通状態とすることで、前記入力バッファで前記ビット線対のイコライズを行うことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置、特に例えばダイナミックランダムアクセスメモリ(DRAM)におけるセンスアンプ周辺の入出力回路の構造に関する。

## 【0002】

【従来の技術】 近年、マイクロプロセッサの高速化に伴い、システムをノーウェイトで動作させるため、たとえばDRAMなどの半導体記憶装置も高速に動作するもの

が要求されている。

【0003】 図3および図4は、このような高速化の要求を満足するためのDRAMの回路図である。これらDRAMは、出力バッファおよび入力バッファを設けることで、センスアンプで直接読み出しデータバスRD/RDを駆動する場合と比べ、高速にデータ出力を行なうことができる。なお、これら図に示されている、たとえば符号RDの上に“ $\overline{\phantom{x}}$ ”のある相補関係の信号は、本明細書ではその信号の前に“-”を付して記載する。

【0004】 このような従来技術では、これら図でも明らかなように出力バッファ30、入力バッファ32(34)は、トランスファゲート18を介してメモリセルに接続されている。なお、図3に示した回路と図4に示した回路は、入力バッファの構成は異なるがその他の回路構成は同じである。また、読み出しと書き込みにおいてカラムデコード選択信号CDを、図3の回路では異なる信号線CD<sub>1</sub>、CD<sub>2</sub>より入力するが、図4の回路では1つの信号線CDで入力する。

【0005】 図5には、図3および図4の回路の書き込み動作を行う際の動作シーケンスが示されている。同図に示すようにこれら従来技術では、書き込み動作を行う場合でも読出動作を行ってから書き込み動作を行う。これは、各リード線WL<sub>n</sub>にはビット線対BL/ $\overline{\text{BL}}$ が実際には多数接続されているので、選択されていないビット線対BL/ $\overline{\text{BL}}$ のデータを保持するため、メモリセル12のリフレッシュ動作が必要になるからである。

【0006】 なお、同図において、横軸は時間を示し、“1”または“0”は該当する回路のオン、オフに対応している。また、図の中の1/2は中間電位(HVC)を示している。

## 【0007】

【発明が解決しようとする課題】 しかしながらこのような従来技術では、データの書き込みに際し、読み出し動作を行なった後書き込み動作を行うため、書き込み動作のシーケンスが長くなってしまいうという欠点があった。また、書き込み動作時にビット線対BL/ $\overline{\text{BL}}$ の信号を反転させるためには、ビット線BL容量とセンスアンプを駆動できるアンプ出力で書き込みデータバスWD/ $\overline{\text{WD}}$ を駆動しなければならない。したがって、書き込みデータバスWD/ $\overline{\text{WD}}$ を流れる電流のピーク値J<sub>WDMAX</sub>が図5に示すようになかなり大きなものとなり、ノイズ発生の原因となった。

【0008】 本発明はこのような従来技術の欠点を解消し、読み出し動作時にほぼ同時に書き込み動作を行うとともに、ピーク値J<sub>WDMAX</sub>が小さく、高速動作が可能な、ノイズ発生が少ない信頼性の高い半導体記憶装置を提供することを目的とする。

## 【0009】

【課題を解決するための手段および作用】 本発明は上述の課題を解決するために、ビット線対に接続されている

メモリセルと、トランスファゲートを介して接続される入力バッファ、出力バッファを有し、このメモリセルに記憶されたデータを、これらバッファおよびセンスアンプにより入力バス、出力バスに駆動する半導体記憶装置は、入力バッファが前記トランスファゲートよりも前記メモリセル側に配置され、出力バッファとセンスアンプがトランスファゲートを介してメモリセルと接続されるよう配置される。このような配置をとることにより、本発明では、書き込み動作の過程で、メモリセルおよび入力バッファと出力バッファおよびセンスアンプとがトランスファゲートにより分離することで、読み出し動作時にほぼ同時に書き込み動作を行える。

【0010】本発明によればまた、ビット線対に接続されているメモリセルとトランスファゲートを介して接続されるカラムデコード選択信号によって制御される入力バッファ、出力バッファを有し、このメモリセルに記憶されたデータを、これらバッファおよびセンスアンプにより入力バス、出力バスに駆動する半導体記憶装置は、入力バッファがトランスファゲートよりもメモリセル側に配置され、出力バッファとセンスアンプがトランスファゲートを介してメモリセルと接続されるよう配置されている。本発明では、書き込み動作の過程で、メモリセルおよび入力バッファと出力バッファおよびセンスアンプとがトランスファゲートにより分離することで、読み出し動作時にほぼ同時に書き込み動作を行える。また、カラムデコード選択信号の待期時電位によって入力バッファが導通状態となり、入力バッファでビット線対のイコライズが行える。

#### 【0011】

【実施例】次に添付図面を参照して本発明による半導体記憶装置の実施例を詳細に説明する。

【0012】図1は本発明による半導体記憶装置をDRAMに適用したときの実施例を示す回路図である。なお、同図では本発明に直接関係のある回路部分の一部が図示されており、実際にはイコライザ10、メモリセル12、イコライザ14、入力バッファ16、トランスファゲート18、センスアンプ20および出力バッファ22は、図示した信号線EQ0, WL<sub>1</sub>~WL<sub>n+1</sub>, EQ1, HVCC, WD/-WD, TG, SAP, SAN, RD/-RDに複数接続されている。また、同図において、図3および図4の同じ構成要素は同一の符号により記載した。

【0013】イコライザ10は、信号線EQ0に接続され、これより論理“1”のイコライズ信号EQ0を入力すると、ビット線対BL/-BLをイコライズする回路である。イコライザ10はビット線対BL/-BLを介してメモリセル12に接続されている。

【0014】メモリセル12は、1ビットを記憶する各メモリセルがそれぞれ、複数のワード線WL<sub>1</sub>, . . . , WL<sub>n+1</sub>のいずれかに接続され、接続さ

れているワード線により選択されたメモリセルの情報がビット線BL(-BL)に出力される。メモリセル12はビット線対BL/-BLを介しイコライザ14に接続される。

【0015】イコライザ14は、信号線EQ1および電源線HVccに接続され、信号線EQ1より論理“1”の信号EQ1を入力することにより、ビット線対BL/-BLを1/2Vcc(HVcc)レベルにプリチャージする回路である。これにより、メモリセル12に記憶されたデータの読み出しの高速に行うことができる。イコライザ14はビット線対BL/-BLを介し入力バッファ16に接続されている。

【0016】入力バッファ16は、入力バスである1対の書き込みデータバスWD/-WDに接続されるとともに、カラムデコード(図示せず)よりカラムデコード選択信号CDを入力し、この選択信号CDが論理“1”を示しているときにデータバスWD/-WDをビット線BLに接続する。入力バッファ16はまた、データ書き込みの際にデータバスWDよりピーク値J<sub>WDMAX2</sub>(図2参照)の電流を入力することにより、メモリセル12にデータの書き込みを行う。入力バッファ16はトランスファゲート18を介してセンスアンプ20と接続されている。

【0017】トランスファゲート18は、信号線TGを介してゲート信号TGを入力し、この信号が論理“1”のときには入力バッファ16とセンスアンプ20とを接続し、論理“0”のときには入力バッファ16とセンスアンプ20とを分離する。

【0018】センスアンプ20は、相補関係にある信号線SAP, SANに接続され、これより信号SAP, SANを入力することで、メモリセル12に記憶されているデータのリフレッシュを行う回路である。センスアンプ20は出力バッファ22に接続されている。

【0019】出力バッファ22は、出力バスである1対の書き込みデータバスRD/-RDに接続されるとともに、カラムデコードよりカラムデコード選択信号CDを入力し、この選択信号CDが論理“1”を示しているときにデータバスRD/-RDをビット線BL/-BLに接続する回路である。この出力バッファ22によりデータ出力を高速に行うことが可能である。

【0020】本実施例では、同図に示すように入力バッファ16をトランスファゲート18よりもメモリセル12側に配置した構造となっている。このように配置することで、図2に示すような動作シーケンスが可能となる。次に図2を用いて本実施例における書き込み動作の一例を示す。なお、図中の“0”、“1”は各信号線に接続されたトランジスタ回路のオン・オフに対応するものであり、実際の電圧に対応したものはなっていない。また、1/2はイコライザ14におけるイコライズレベルを示している。

【0021】まず、トランスファゲート18をオンし、ビット線対BL/−BLおよびセンスアンプ20のノードN/−Nのイコライズを行なう。次に、イコライズ信号EQ1/EQ0を切り、ビット線対BL/−BLおよびノードN/−Nをフローティング状態とする。

【0022】次に、ワード線WLを立ち上げ、メモリセル12よりの出力ΔVが出力された後、センスアンプ20のラッチ速度を高速化するため、トランスファゲート18をオフにする。そして、センス信号SAP, SANをそれぞれ変動させることでセンスアンプを動作状態にし、ノードN/−Nを“0”または“1”どちらかのレベルに確定させる。この時、トランスファゲート18がオフとなっているため、またカラムデコーダ(図示せず)からの出力CDもオフとなっているため、入力信号を立ち上げても、センス動作に対して影響はまったくない。

【0023】次に、デコーダからの選択信号CDがオンとなると、読み出しデータバスRD/−RDにはノードN/−Nに対応した信号が出力され、ビット線対BL/−BLには書き込みデータバスWD/−WDに対応した信号が入力される。次にトランスファゲート18をオンにし、選択されていないビット線対BL/−BLに対する再書き込みを行うとともに、選択されているビット線対BL/−BLのセンスアンプ20の信号の反転を行う。

【0024】ノードN/−Nのレベルが再び書き込みデータバスWD/−WDに対応したレベルに確定した後、信号WL, SAP, SAN, CD, EQ1, EQ0, TGを順次待機時の状態へと回復させることで、書き込みを終了する。

【0025】本実施例では、2度目にトランスファゲート18がオンとなる時点Aにおいて、読み出しデータバスRD/−RDの信号が、同レベルになってしまうが、読み出しデータバスRD/−RDの信号を受けるアンプで、斜線部の時間内にデータをラッチしておけば問題はない。

【0026】また、図1に示した実施例の回路では、入力データバスWD/−WDは外部で作成する信号であるので、待機時のレベルをイコライズレベルにすることが可能である。すなわち、入力バスの待機時電位をビット線対BL/−BLのイコライズ電位とし、カラムデコーダ選択信号CDの待機時電位によって入力バッファ16が導通状態となることで、入力バッファ16でビット線対BL/−BLのイコライズを行うことができる。

【0027】図2の点線より下には、この時の動作シーケンスが示されている。このような動作シーケンスにすれば、イコライザ14は不用となり、その分、集積度を上げることが可能となる。このとき、カラムデコーダ選択信号CDの期間T2は本実施例と同様選択されたビッ

ト線対BL/−BLのみに、期間T<sub>1</sub>とT<sub>2</sub>は全選択となる。また、この場合には出力バッファ22の貫通電流の発生を避けるために、待機時電位をGNDとする必要がある。

【0028】なお、これら実施例では入力バッファ16をイコライザ14とトランスファゲート18の間に配置したが、入力バッファ16はトランスファゲート18よりもセンスアンプ20側でなければどの部分に配置しても良い。

【0029】また、本実施例では本発明をDRAMに適用したが、本発明は特にDRAMに限定されるものではなく、センスアンプ、入力バッファおよび出力バッファを有する書き込み可能な半導体記憶装置であれば、本発明を適用することが可能である。

#### 【0030】

【発明の効果】このように本発明のによれば、入力バッファとセンスアンプとをトランスファゲートにより分離できるため、読み出し動作が行なわれている時点において、書き込み動作を行なえる。したがって、書き込み動作の前に読み出し動作を行う必要が無くなるため、書き込み動作速度を高速化できる。

【0031】また、書き込みデータバスWD/−WDで駆動する寄生容量が、書き込みデータバスWD自身、ビット線対BL/−BL、センスアンプの3段階に分割されるので、WD/−WDを流れる電流のピーク値を低くおさえることができ、ノイズの発生を抑える効果がある。

【0032】さらに、センスアンプ動作時の寄生容量は、入力バッファがトランスファゲートによって切りはなされるために、より小さくなり、高速のセンス動作が可能となるとともに、トランスファゲートよりもセンスアンプ側にある拡散層面積が小さくなることによりソフトウェア耐性の向上も期待できる。

#### 【図面の簡単な説明】

【図1】本発明による半導体記憶装置の実施例を示す回路図、

【図2】図1に示した実施例の動作シーケンスの一例を示す動作説明図、

【図3】従来技術における半導体記憶装置の回路図、

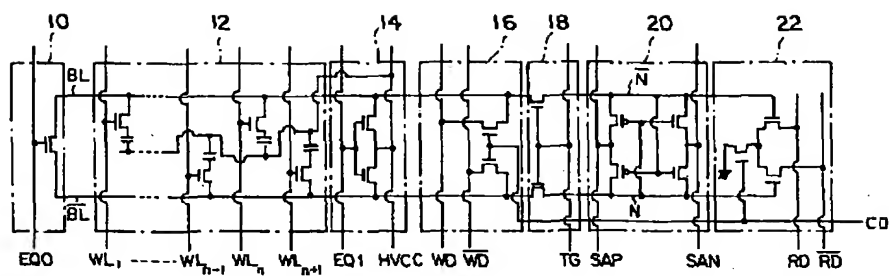
【図4】従来技術における半導体記憶装置の回路図、

【図5】図4および図5に示した半導体記憶装置の動作シーケンスを示す動作説明図である。

#### 【符号の説明】

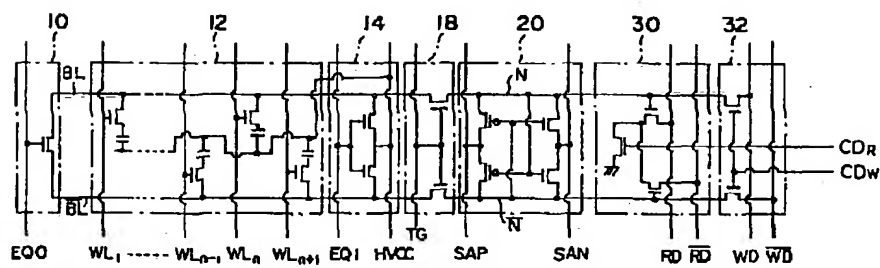
10, 14	イコライザ
12	メモリセル
16	入力バッファ
18	トランスファゲート
20	センスアンプ
22	出力バッファ

【図1】



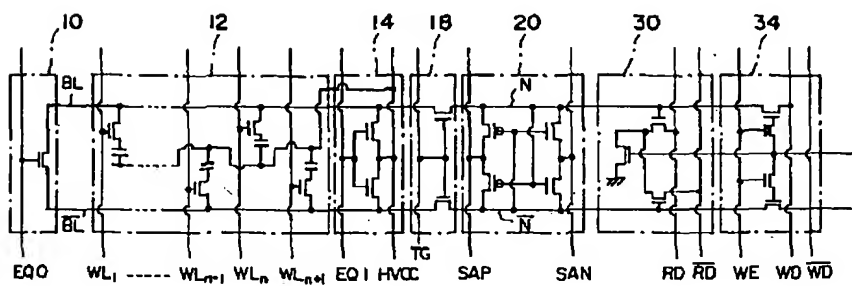
半導体記憶装置の実例

【図3】



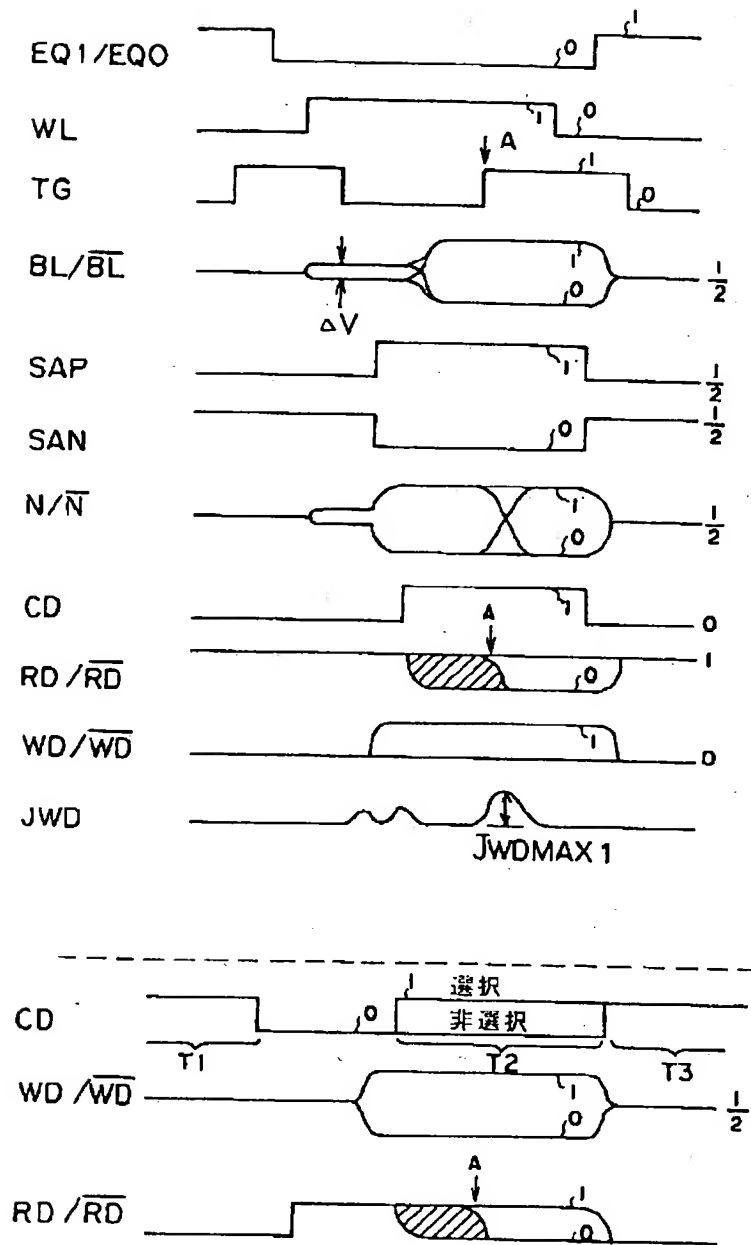
従来技術における半導体記憶装置

【図4】



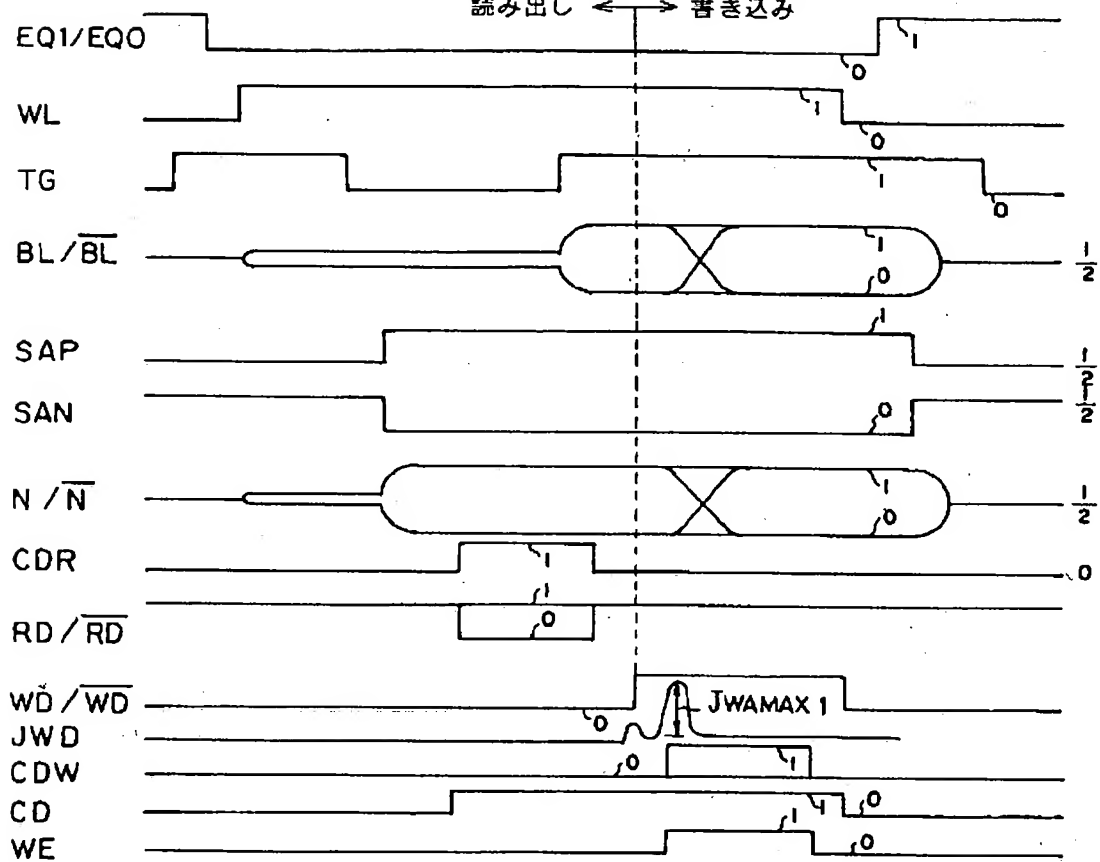
従来技術における半導体記憶装置

【図2】



本実施例における動作シーケンス

読み出し ←→ 書き込み



## 従来技術における動作シーケンス